

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-144823

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
C 2 3 C 14/04		9520-4K		
		9168-4M	H 0 1 L 21/92	F

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-326886

(71) 出願人 000217228

田中貴金属工業株式会社

東京都中央区日本橋茅場町2丁目6番6号

(22) 出願日 平成3年(1991)11月15日

(72) 発明者 柳原 浩

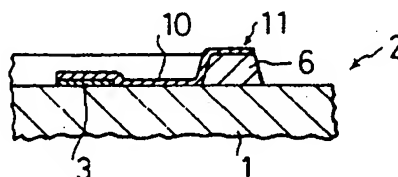
神奈川県平塚市新町2番73号 田中貴金属
工業株式会社技術開発センター内

(54) 【発明の名称】 高密度パンプ形成方法

(57) 【要約】 (修正有)

【目的】 ウェハ上のパッド部に導電回路のパンプを容易に高密度に形成でき、またパンプのばらつきが少なくしかも工程を短縮できて能率良く安価にパンプを形成でき、さらに弾性変形が可能で、ガラスエポキシのプリント基板にウェハのチップを実装した後熱膨張、収縮に伴う歪の吸収が可能で、剪断による破断も抑制でき、反寿命化を達成できるという高密度パンプを形成する方法を提供する。

【構成】 ウェハ1上の各チップの周辺に配設された多数のパッド部3の外側又は内側付近に感光性ポリイミドにより断面枕木状のパンプ高さのクッション部6を形成し、次にウェハ全面にスパッタリングにより導電膜を形成し、然る後この導電膜をフォトリソセス、エッチングを行い各パッド部3の表面からクッション部6の表面まで導電回路10を形成する高密度パンプ11形成方法。



【特許請求の範囲】

【請求項1】 ウェハー上の各チップの周辺に配設された多数のパッド部の外側又は内側付近に、感光性ポリイミドにより断面枕木状のバンブ高さのクッション部を形成し、次にウェハー全面にスパッタリングにより導電膜を形成し、然る後この導電膜をフォトリソ、エッチングして各パッド部の表面からクッション部の表面まで導電回路を形成してバンブを得ることを特徴とする高密度バンブ形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LSI等の半導体素子を、プリント基板に実装する為に、TAB、フリップチップ方式におけるバンブをウェハー上に高密度に形成する方法に関する。

【0002】

【従来の技術】 従来、バンブをウェハー上に形成するには、完成後の半導体素子からなるウェハー上の各チップの周辺に配設された電気的接続部であるパッド上に、密着力保持、金属間の拡散防止等の目的のバリアーメタル層を形成し、そのバリアーメタル層の上に電解メッキ法によりAu、Pb-Sn、Cu等のメタルバンブを形成していた。

【0003】 他にガラス基板等に、予めメタルバンブを形成し、これをTABテープに写す方法もあった。また、ストレートバンブの形成方法として、バンブ高さ以上の厚膜レジストをウェハー上にコーティングし、露光、現像工程で凹パターンを形成する方法もあった。これら従来のバンブ形成方法で、高密度のバンブを形成しようとする、バンブサイズの微小化、狭ピッチ化を進めることになる。しかし、従来のバンブ形成方法では、メッキ用レジストの形成工程において、例えば幅20 μ m、深さ25 μ mの凹部を形成すること及び隣りの凹部との壁の厚みを10 μ mに形成することは不可能で、幅50 μ m、深さ25 μ m、ピッチ80 μ mが限界で、今後要求されるバンブの高密度化への対応ができない。

【0004】

【発明が解決しようとする課題】 そこで本発明は、ウェハー上のパッド部に導電回路のバンブを高密度に形成する方法を提供しようとするものである。

【0005】

【課題を解決するための手段】 上記課題を解決するための本発明の高密度バンブ形成方法は、ウェハー上の各チップの周辺に配設された多数のパッド部の外側又は内側付近に、感光性ポリイミドにより断面枕木状のバンブ高さのクッション部を形成し、次にウェハー全面にスパッタリングにより導電膜を形成し、然る後この導電膜をフォトリソ、エッチングして各パッド部の表面からクッション部の表面まで導電回路を形成してバンブを得る

【0006】

【作用】 上記のように本発明の高密度バンブ形成方法では、多数のパッド部の外側又は内側付近に、感光性ポリイミドにより断面枕木状のバンブ高さのクッション部を形成するので、このクッション部はなだらかであり、次にウェハー全面にスパッタリングにより導電膜を形成した際、下地に対する追従性が良く、クッション部に良好に密着する。また、この導電膜をフォトリソ、エッチングして各パッド部の表面からクッション部の表面まで導電回路に形成するのであるから、この導電回路のバンブは、通常の薄い感光性レジストを用いる技術で高密度化できる。しかも湿式メッキを行わないので、バンブのばらつきが少なく、しかも工程が短縮されて能率良く安価にバンブを形成できる。

【0007】

【実施例】 本発明の高密度バンブ形成方法の一実施例を図によって説明すると、図1に示すようにシリコンウェハー1の各チップ2の周辺にAl-Si1wt%のパッド部（LSI回路の終端電気的接続部）3が多数設けられている。このシリコンウェハー1上に図2に示すように感光性ポリイミド4を40 μ mスピンコートし、次に図3に示すように各チップ2の周辺のパッド部3を、透明石英ガラス板にCrによりパターンを形成したマスク・パターン5にてマスキングし、図4に示すように紫外線ランプによりUV光を照射して露光した後、図5に示すように現像し、次いでN₂雰囲気中で1時間焼成（キュア）して図6に示すように収縮により高さ20 μ m、幅100 μ mとなった断面枕木状のクッション部6を形成した。次にウェハー1全面にTi1000Å、Pd3000Å、Au3000Åをスパッタリングして図7に示すように導電膜7を形成した。次いでこの導電膜7上に図8に示すようにフォトリソレジスト8を1.3 μ mスピンコートし、次に図9に示すように各パッド部3からクッション部6の表面まで、透明石英ガラス板にCrによりパターンを形成したマスクパターン9にてマスキングし、紫外線ランプによりUV光を照射して露光した後、図10に示すように現像し、次いでエッチングして不要部の導電膜7を図11に示すように除去し、然る後図12に示すようにレジスト8を剥離し、各パッド部3の表面からクッション部6の表面まで導電回路10を形成してバンブ11を得た。こうして得たバンブ11のチップ2における配列、形状は図13に示す通りである。尚、図13中の区画線1はウェハー1におけるチップ2の切断線である。このようにしてウェハー1上の各チップの周辺のパッド部3に形成したバンブ11は、幅25 μ m、高さ20.7 μ m、ピッチ40 μ mで、高密度化できた。

【0008】 一方、従来のバンブ形成方法を図によって説明すると、図1に示すように多数のチップ2の周辺に夫々Al-Si1wt%のパッド部3が設けられているシ

A、Pd3000Å、Au3000Åをスパッタリングしてバリアーメタル層12を形成した。次にその上に図15に示すように感光性レジスト13を25μmスピンコートし、パッド部3のみを開口させるようにフォトリソグラフにより図16に示すように感光性レジスト13をパターニングした。次いで図17に示すようにバリアーメタル層12をメッキ用電極として湿式メッキ法により開口部に20μm厚のAuバンパ14を形成した。次に図18に示すように感光性レジスト13を剥離し、図19に示すように全面に感光性レジスト15を塗布し、Auバンパ14を被うようにフォトリソグラフにより図20に示すように感光性レジスト15をパターニングした。次いでパターニングされた感光性レジスト15をマスクに、バリアーメタル層12を図21に示すようにエッチングした。然る後Auバンパ14を被っていた感光性レジスト15を剥離して図22に示すようにAuバンパ14の形成を完了させた。このAuバンパ14のチップ2に於ける配列、形状は図23に示す通りである。尚、図23中の区画線1はウェハー1におけるチップ2の切断線である。

【0009】このようにしてウェハー1上の各両辺のパッド部3上に形成したバンパ14は、幅50μm、高さ20.7μm、ピッチ80μmが限界で、これ以下にバンパサイズの微小化、狭ピッチ化は不可能であった。

【0010】尚、前記実施例では各チップ2の周辺のパッド部3の外側にクッション部6を形成したが、パッド部3の内側に形成しても良いものである。また前記実施例ではクッション部6がパッド部3の外周側に連続しているが、各パッド部3毎に外側又は内側で独立しているも良いものである。

【0011】

【発明の効果】以上の説明で判るように本発明の高密度バンパ形成方法によると、通常の薄い感光性レジストを用いる技術で導電回路のバンパを容易に高密度に形成できる。また湿式メッキ工程が無いので、バンパのばらつきが少なく、しかも工程が短縮されて能率良く且つ安価にバンパを形成できる。さらに導電回路の下側にクッション部を形成しているので、弾性変形が可能で、ガラスエポキシのプリント基板に半導体素子からなるウェハーのチップを実装した後熱膨張、収縮に伴う歪の吸収が可能で、剪断による破断も抑制でき、長寿命化を達成できるバンパを得ることができる。

【図面の簡単な説明】

【図1】各チップの周辺にパッド部が多数設けられたシリコンウェハーを示す斜視図である。

【図2】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図3】本発明の高密度バンパ形成方法の一実施例の工

程を示す図である。

【図4】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図5】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図6】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図7】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

10 【図8】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図9】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図10】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図11】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

【図12】本発明の高密度バンパ形成方法の一実施例の工程を示す図である。

20 【図13】本発明の高密度バンパ形成方法によって得られたバンパのシリコンウェハーのチップにおける配列、形状を示す斜視図である。

【図14】従来のバンパ形成方法の工程を示す図である。

【図15】従来のバンパ形成方法の工程を示す図である。

【図16】従来のバンパ形成方法の工程を示す図である。

【図17】従来のバンパ形成方法の工程を示す図である。

【図18】従来のバンパ形成方法の工程を示す図である。

【図19】従来のバンパ形成方法の工程を示す図である。

【図20】従来のバンパ形成方法の工程を示す図である。

30 【図21】従来のバンパ形成方法の工程を示す図である。

【図22】従来のバンパ形成方法の工程を示す図である。

【図23】従来のバンパ形成方法によって得られたバンパのシリコンウェハーのチップにおける配列、形状を示す斜視図である。

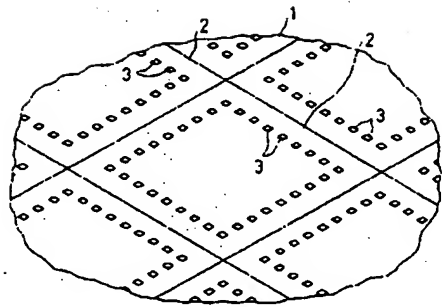
【符号の説明】

- 1 ウェハー
- 2 チップ
- 3 パッド部
- 4 感光性ポリイミド
- 5 マスク・パターン
- 6 クッション部
- 7 導電膜
- 8 フォトリソ
- 9 マスクパターン
- 10 導電回路
- 11 バンパ

(4)

特開平5-144823

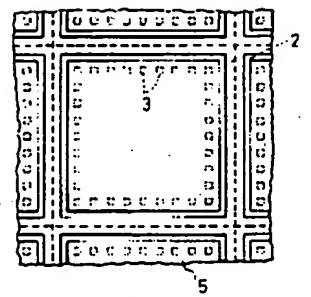
【圖1】



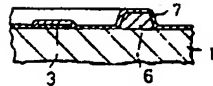
【圖2】



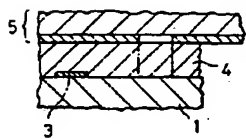
【圖3】



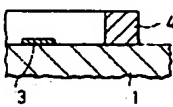
【圖7】



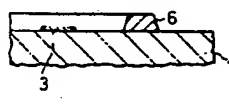
【圖4】



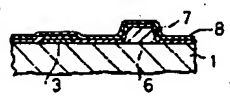
【圖5】



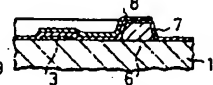
【圖6】



【圖8】



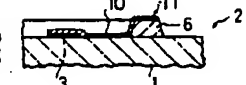
【圖10】



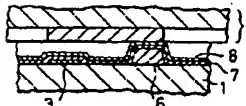
【圖11】



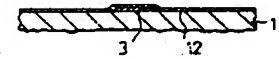
【圖12】



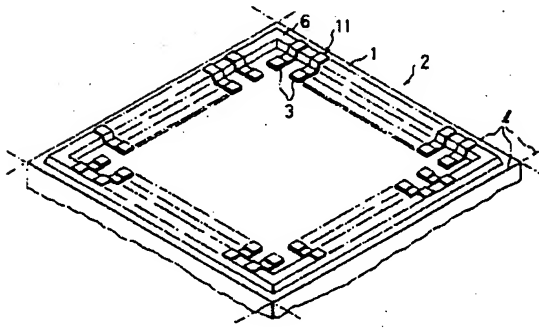
【圖9】



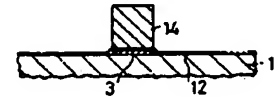
【圖14】



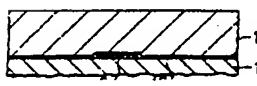
【圖13】



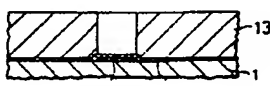
【圖18】



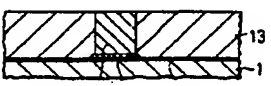
【圖15】



【圖16】



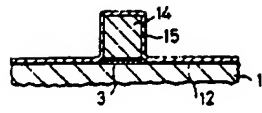
【圖17】



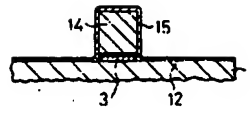
(5)

特開平5-144823

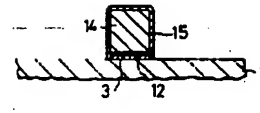
【図19】



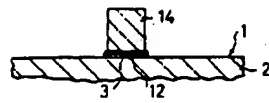
【図20】



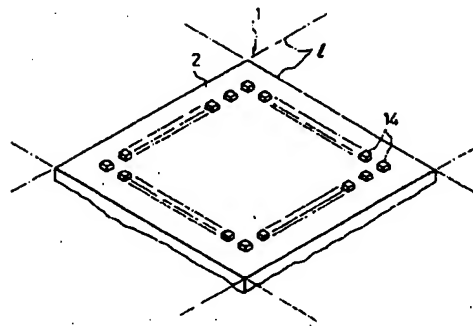
【図21】

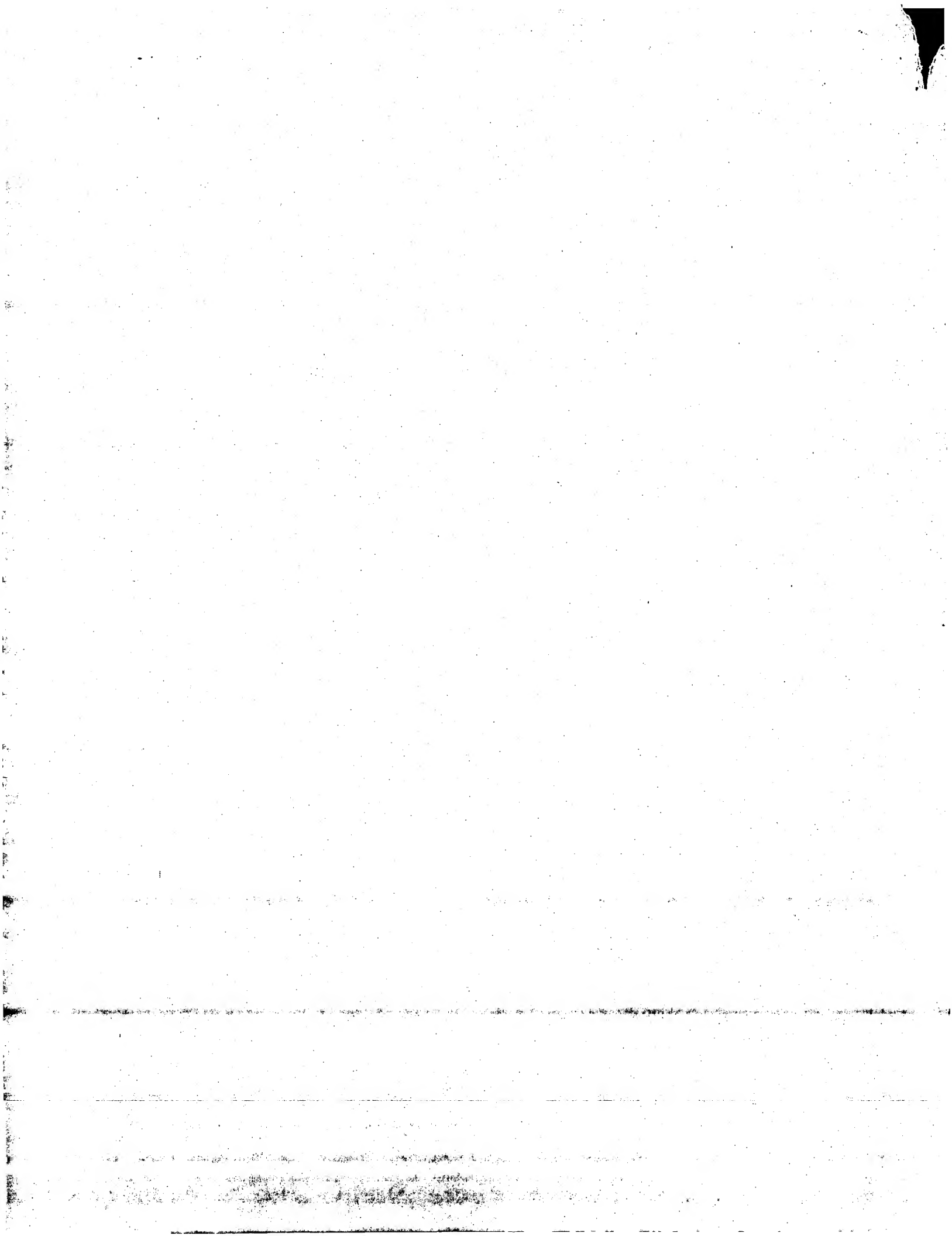


【図22】



【図23】





EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05144823
PUBLICATION DATE : 11-06-93

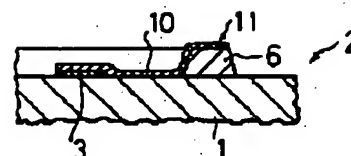
APPLICATION DATE : 15-11-91
APPLICATION NUMBER : 03326886

APPLICANT : TANAKA KIKINZOKU KOGYO KK;

INVENTOR : YANAGIHARA HIROSHI;

INT.CL. : H01L 21/321 C23C 14/04

TITLE : HIGH DENSITY BUMP FORMING
METHOD



ABSTRACT : PURPOSE: To easily form the bump of a conductive circuit in high density by a technique in which a sleeper-like cushion part is formed using photosensitive polyimide in the vicinity of a plurality of pad parts, and a conductive circuit is formed on the region ranging from the surface of each pad part to the surface of a cushion part.

CONSTITUTION: A bump height cushion part 6, having sleeper-like cross section, is formed of photosensitive polyimide in the vicinity of the outside or inside of a plurality of pad parts 3 which are arranged on the circumference of each chip 2 on a wafer 1. Then, after a conductive film has been formed on the whole surface of the wafer 1 by sputtering, a bump 11 is obtained by forming a conductive circuit 10 on the region from the surface of each pad part 3 to the surface of the cushion part 6 by conducting a photo process and an etching treatment on the conductive film. After formation of a cushion part 6 of 20 μ m in height and 100 μ m in width, for example, a conductive film is formed by sputtering Ti of 1000 \AA , Pd of 3000 \AA and Au of 30002 \AA , and a conductive circuit 10 is formed by patterning the above-mentioned conductive film, and a bump 11 is obtained.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)